

**Partial English Translation of**

**LAID OPEN unexamined**

**JAPANESE PATENT APPLICATION**

**Publication No. 11-243327**

**[0016] and [0017]**

[0016] Figure 3 shows the duty correction circuit and the duty detection circuit according to one embodiment. The duty correction circuit is formed of the CMOS inverter circuit made of a p-channel MOSFETQ10 and an n-channel MOSFETQ11 which receive an oscillation output OSC and the following circuit elements added to the inverter circuit. That is, a p-channel MOSFETQ12 and an n-channel MOSFETQ13 which are set to perform constant current operation upon receipt of a reference voltage VREF are serially connected to the p-channel MOSFETQ10 and the n-channel MOSFETQ11, respectively. Further, a p-channel MOSFETQ14 and an n-channel MOSFETQ15 which perform current adjustment are connected in parallel to the MOSFETQ12 and the MOSFETQ13 as a constant current source, respectively. The currents flowing the gates of the MOSFETQ14 and the MOSFETQ15 are adjusted in a manner that a control voltage formed in the duty detection circuit to be explained below is applied. Wherein, the reference voltage VRET input into the p-channel MOSFETQ12 and the n-channel MOSFETQ13 may be separate from each other or may be the ground charge and the ground voltage of the circuit.

[0017] In the duty detection circuit, an output signal OUT of a waveform-shaping buffer for waveform-shaping the output signal of the duty correction circuit is integrated through a buffer circuit BA by a resistor R1 and a capacitor C1 so as to become direct. This voltage and a neutral voltage with the power source voltage are compared by a voltage comparison circuit and the difference therebetween is smoothed by a resistor R2 and a capacitor C2 to form the control voltage to be supplied in the duty correction circuit.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-243327

(43)Date of publication of application : 07.09.1999

(51)Int.CI.

H03K 5/05

H03K 3/017

H03K 19/0948

H03L 7/08

(21)Application number : 10-060492

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.02.1998

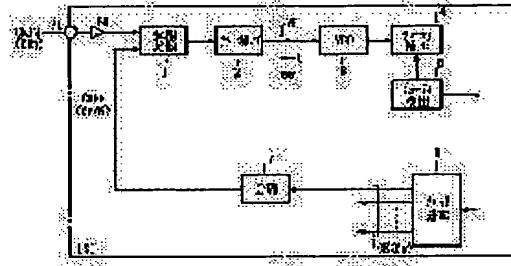
(72)Inventor : OKAWA MASAAKI

## (54) PULSE DUTY CORRECTION CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To correct pulse duty by controlling the logic threshold voltage of a waveform reshaping buffer that reshapes waveform of an output signal of a current control circuit or an inverter circuit with a detection circuit and adjusting the output signal to be desired pulse duty.

**SOLUTION:** This duty correction circuit 4 corrects the pulse duty of an output pulse signal of a voltage controlled oscillator circuit 3 by a detection signal formed by a duty detection circuit 5 and, for instance, adjusts pulse width so as to make the pulse duty 50%. The output pulse signal formed by the circuit 4 is transferred to a clock distributor 6 and makes an internal circuit distribute a clock signal of a frequency such as  $f_v$ . An output signal of the distributor 6 is divided by a frequency division circuit 7 and is fed back to the other input of a phase comparator circuit 1. Thus, an internal clock signal  $CK$  is made a frequency  $f_v$  that is  $N$  times as high as a clock signal  $CKIN$  supplied from the outside.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-243327

(43) 公開日 平成11年(1999)9月7日

(51) Int.Cl.<sup>6</sup>  
H 0 3 K 5/05  
3/017  
19/0948  
H 0 3 L 7/08

識別記号

F I  
H 0 3 K 5/05  
3/017  
19/0948  
H 0 3 L 7/08

B  
Z

審査請求 未請求 請求項の数 6 FD (全 7 頁)

(21) 出願番号 特願平10-60492

(22) 出願日 平成10年(1998)2月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大河 正明

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 弁理士 徳若 光政

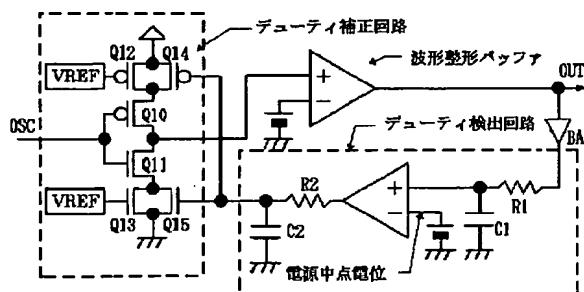
(54) 【発明の名称】 パルスデューティ補正回路

(57) 【要約】

【課題】 パルスデューティの補正を可能にし、PLL回路での高周波数までの発生を可能にしたパルスデューティを補正回路を提供する。

【解決手段】 パルス信号を受けるインバータ回路の出力信号の立ち上がり時間と立ち下がり時間を制御するための電流制御回路又は上記インバータ回路の出力信号を波形整形する波形整形バッファのロジックスレッショルド電圧を波形整形された出力信号のパルスデューティを検出するパルスデューティ検出回路で制御して、その出力信号を所望のパルスデューティとなるように調整する。

図3



## 【特許請求の範囲】

【請求項1】 パルス信号を受けるインバータ回路と、上記インバータ回路の出力信号の立ち上がり時間と立ち下がり時間を制御するための電流制御回路と、上記インバータ回路及びその接続部の出力信号を受けて波形整形された出力信号を形成する波形整形バッファと、上記波形整形バッファで波形整形された出力信号を受け、そのパルスデューティを検出するパルスデューティ検出回路とを備え、上記パルスデューティ検出回路の出力信号により上記電流制御回路を制御して、その立ち上がり時間と立ち下がり時間を制御して上記波形整形された出力信号が所望のパルスデューティとなるように調整してなることを特徴とするパルスデューティ補正回路。

【請求項2】 パルス信号を受けるインバータ回路と、上記インバータ回路の出力信号を受けて波形整形された出力信号を形成する波形整形バッファと、上記波形整形バッファの出力信号を受け、そのパルスデューティを検出するパルスデューティ検出回路とを備え、上記パルスデューティ検出回路の出力信号により上記波形整形バッファの論理しきい値電圧を制御して、上記波形整形された出力信号が所望のパルスデューティとなるように調整してなることを特徴とするパルスデューティ補正回路。

【請求項3】 上記パルスデューティ検出回路は、上記波形整形された出力信号を平滑する平滑回路と、その平滑信号と設定すべきパルスデューティに対応した基準電圧との差電圧に対応した制御信号を形成する電圧比較回路とからなるものであることを特徴とする請求項1又は請求項2のパルスデューティ補正回路。

【請求項4】 上記電流制御回路は、上記インバータ回路と電源電圧との間に設けられたPチャンネル型MOSFETと、上記インバータ回路と回路の接地電位との間に設けられたNチャンネル型MOSFETからなり、上記2つのMOSFETのゲートには、上記制御信号が供給されるものであることを特徴とする請求項1のパルスデューティ補正回路。

【請求項5】 上記パルス信号は、PPLL回路に設けられる電圧制御型発振回路により形成された発振パルスであることを特徴とする請求項1、請求項2のパルスデューティ補正回路。

【請求項6】 上記電圧制御型発振回路は、リング状に縦列接続された奇数個のCMOSインバータ回路と、制御電圧に従った電流を上記CMOSインバータ回路に流れるように制御する電流制御MOSFETとを含むものであることを特徴とする請求項5のパルスデューティ

補正回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、パルスデューティ補正回路に関し、主として半導体集積回路に内蔵されたPLL (phase locked loop)回路を用いてクロック信号を形成するものに利用して有効な技術に関するものである。

## 【0002】

【従来の技術】PLL回路は、例えば特開平5-284014号公報、特開平5-315948号公報に開示されている。

## 【0003】

【発明が解決しようとする課題】データをクロック信号の立ち上がりエッジで取り込むポジティブエッジ型フリップフロップ回路と、クロック信号の立ち下がりエッジで取り込むネガティブエッジ型フリップフロップ回路を、データバス中に混在させて使用した場合、各フリップフロップ回路間の出力からその取り込みまでのデータ転送タイミングは、上記クロック信号のパルスデューティに対応して異なることになってしまい。つまり、パルスデューティが大きいと、立ち上がりエッジから立ち下がりエッジまでの時間が長くなって、その間でのデータ転送タイミングには余裕が生じるが、立ち下がりエッジから立ち上がりエッジまでの時間は逆に短くなってしまい、その間でのデータ転送タイミングには余裕がなくなってしまう。

【0004】したがって、上記短い方のデータ転送タイミングに合わせて転送経路を設計する必要があり動作周波数を低くしてしまう。例えば、PLL回路で上記クロック信号を形成する場合、PLL回路の電圧制御型発振回路の出力を1/2分周回路で分周して、上記クロック信号のパルスデューティが50%になるようにするものである。しかし、このようにすると、必要なクロック信号の周波数に対してPLL回路の電圧制御発振回路では、2倍の周波数での発振動作を行わせる必要があり、その分消費電流を増大させてしまう。また、上記のように分周回路を用いた場合には、MOS回路の上限周波数に対して半分の周波数でしかクロック信号を形成することができず、その結果としてMOS集積回路等の高速化を妨げるものとなる。

【0005】この発明の目的は、パルスデューティの補正を可能にしたパルスデューティ補正回路を提供することにある。この発明の他の目的は、PLL回路での高周波数までの発生を可能にするパルスデューティを補正回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0006】

【課題を解決するための手段】本願において開示される

発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。パルス信号を受けるインバータ回路の出力信号の立ち上がり時間と立ち下がり時間を制御するための電流制御回路又は上記インバータ回路の出力信号を波形整形する波形整形バッファのロジックスレッシュルド電圧を波形整形された出力信号のパルスデューティを検出するパルスデューティ検出回路で制御して、その出力信号を所望のパルスデューティとなるように調整する。

## 【0007】

【発明の実施の形態】図1には、この発明が適用されたクロック発生回路の一実施例のブロック図が示されている。特に制限されないが、基準となる外部クロック信号CKINは、外部端子P1を介して半導体集積回路装置LSI1に取り込まれる。この外部端子P1から入力されたクロック信号は、入力バッファB1を介して位相比較回路1の一方の入力に供給される。この位相比較回路1の出力信号は、チャージポンプ回路2に伝えられ、ここで上記量信号の位相差(周波数差)に対応してチャージアップ又はディスチャージ電流が形成される。このチャージポンプ回路2で形成された電流は、フィルタ容量Cをチャージアップ又はディスチャージさせて直流制御電圧VFに変換される。この制御電圧VFは、電圧制御発振回路(VCO)3の制御端子に入力される。

【0008】上記電圧制御発振回路3の発振パルスは、デューティ補正回路4を通して出力される。デューティ補正回路4は、デューティ検出回路5により形成された検出信号により上記電圧制御発振回路3の出力パルス信号のパルスデューティの補正を行い、例えばパルスデューティが50%になるようなパルス幅の調整を行う。上記デューティ補正回路4で形成された出力パルス信号は、クロック分配器6に伝えられ、かかるクロック分配器6から図示しない内部回路にf<sub>V</sub>のような周波数のクロック信号を分配させる。

【0009】上記クロック分配器5の1つの出力信号は、特に制限されないが、分周回路6により分周されて、上記位相比較回路1の他方の入力に帰還される。これにより、内部クロック信号CKは、上記外部から供給されたクロック信号CKINに対してN倍の周波数f<sub>V</sub>にされる。

【0010】この実施例では、上記のように電圧制御発振回路3の発振信号に対してデューティ補正を行って、例えば50%に補正することにより、クロック分配回路6を通して出力されるクロック信号CKの周波数f<sub>V</sub>を、上記発振周波数に等しい高い周波数に設定することが可能となる。つまり、上記電圧制御発振回路3での消費電流を低減しつつ、MOS回路での上限周波数に対応した高い周波数のクロック信号CKを発生させることができるものである。

【0011】図2には、上記電圧制御発振回路の一実施

例の回路図が示されている。この実施例では、リングオシレータにより構成される。つまり、Pチャンネル型MOSFETQ7とNチャンネル型MOSFETQ8からなるCMOSインバータ回路を奇数段(同図では3段)リング状に縦列接続してリングオシレータを構成する。このリングオシレータの発振周波数、言い換えるならば、各CMOSインバータ回路での信号伝播遅延時間を制御電圧VFにより調整するため、上記Pチャンネル型MOSFETQ7には、電流源として動作するPチャンネル型MOSFETQ5が直列に接続され、Nチャンネル型MOSFETQ8には、電流源として動作するNチャンネル型MOSFETQ6が直列に接続される。

【0012】同図において残り2つのCMOSインバータ回路に対しても上記同様な電流源MOSFETが接続される。制御電圧VFは、Nチャンネル型MOSFETQ1のゲートに印加される。このMOSFETQ1のソースは回路の接地電位に接続され、上記制御電圧VFがゲート、ソース間に印加されて、それに対応したドレン電流を形成する。上記MOSFETQ1のドレンと電源電圧との間には、ダイオード形態にされたPチャンネル型MOSFETQ2が設けられる。このPチャンネル型MOSFETQ2のゲートと上記電流源MOSFETQ5のゲートとを接続して電流ミラー形態とする。つまり、上記MOSFETQ2のゲート、ソース間電圧を上記MOSFETQ5のゲート、ソース間に印加することにより、上記MOSFETQ2に流れる電流と等しい電流を上記MOSFETQ5に流すようにするものである。ただし、MOSFETQ2とQ5のサイズ(W/L)は等しいものとする。

【0013】上記Pチャンネル型MOSFETQ2には、それ電流ミラー形態に接続されたPチャンネル型MOSFETQ3を接続し、上記同様にMOSFETQ2の同じ電流をMOSFETQ3に流すようにし、そのドレンと回路の接地電位との間には、ダイオード接続のNチャンネル型MOSFETQ4を接続する。このNチャンネル型MOSFETQ4のゲートと上記電流源MOSFETQ6のゲートとを接続して電流ミラー形態とする。つまり、上記MOSFETQ4のゲート、ソース間電圧を上記MOSFETQ6のゲート、ソース間に印加することにより、上記MOSFETQ4に流れる電流と等しい電流を上記MOSFETQ6に流すようにするものである。ただし、MOSFETQ4とQ6のサイズ(W/L)は等しいものとする。

【0014】この結果、制御電圧VFを高くすると、それに対応してMOSFETQ1のドレン電流が増大する。したがって、上記MOSFETQ5やQ6の電流源MOSFETに流れる電流が増大するため、CMOSインバータ回路を構成するPチャンネル型MOSFETQ7を通したチャージアップ電流が増大し、Nチャンネル型MOSFETQ8を通したディスチャージ電流が増

大し、次段回路の入力容量等の負荷容量を高速にチャージアップ/ディスチャージさせてるので、信号伝播遅延時間が短くなつて発振周波数を高くする。

【0015】逆に、制御電圧VFを低くすると、それに応じてMOSFETQ1のドレイン電流が減少する。したがつて、上記MOSFETQ5やQ6の電流源MOSFETに流れる電流が減少するため、CMOSインバータ回路を構成するPチャンネル型MOSFETQ7を通したチャージアップ電流が減少し、Nチャンネル型MOSFETQ8を通したディスチャージ電流が減少し、次段回路の入力容量等の負荷容量のチャージアップ/ディスチャージを遅くするので信号伝播遅延時間が長くなりつて発振周波数を低くさせる。なお、同図のように3段のCMOSインバータ回路では、安定的な発振信号を得られないなら、5段あるは7段のように段数を増加させればよい。

【0016】図3には、デューティ補正回路とデューティ検出回路の一実施例の回路図が示されている。デューティ補正回路は、発振出力OSCを受けるPチャンネル型MOSFETQ10とNチャンネル型MOSFETQ11からなるCMOSインバータ回路に対して次の回路素子が付加される。上記Pチャンネル型MOSFETQ10とNチャンネル型MOSFETQ11に対して、基準電圧VREFを受けて定電流動作を行うようにされたPチャンネル型MOSFETQ12と、Nチャンネル型MOSFETQ13とをそれぞれに直列接続し、かかる定電流源としてのMOSFETQ12とQ13には、電流調整を行うPチャンネル型MOSFETQ14とNチャンネル型MOSFETQ15とがそれぞれ並列接続される。上記MOSFETQ14とQ15のゲートには、次に説明するデューティ検出回路で形成された制御電圧が印加されることによりその電流の調整が行われる。なお、上記Pチャンネル型MOSFETQ12、Nチャンネル型MOSFETQ13に入力される基準電圧VREFは、別々でも良いし、回路の接地電位と電源電圧でもよい。

【0017】デューティ検出回路は、上記デューティ補正回路の出力信号を波形整形する波形整形バッファの出力信号OUTをバッファ回路BAを通して抵抗R1とキャパシタC1により積分して直流化する。この電圧と電源電圧との中点電圧とを電圧比較回路で比較し、その差分を抵抗R2とキャパシタC2により平滑して上記デューティ補正回路に供給される制御電圧を形成するものである。

【0018】図4には、この発明に係るデューティ補正回路の動作を説明するための波形図が示されている。図4(A)には発振信号OSCのデューティが50%を超えて大きいときが示され、図4(B)には発振信号OSCのデューティが50%より小さいときが示されている。

【0019】図4(A)に示すように、発振信号OSCのデューティが50%よりも大きいとき、それに対応した図示しない出力信号OUTを積分して形成された直流電圧は上記中点電圧よりも高くなり、それに対応して上記デューティ補正回路に供給される制御電圧は高くなる。この結果、Pチャンネル型MOSFETQ14に流れる電流が減少し、Nチャンネル型MOSFETQ15に流れる電流が増大する。つまり、デューティ補正回路に対して同図のように出力信号の立ち上がりを遅く、立ち下がりを早くするように制御するので、図示のように出力信号OUTは、ほぼ50%のパルス幅デューティを持つように補正される。

【0020】図4(B)に示すように、発振信号OSCのデューティが50%よりも小さいとき、それに対応した図示しない出力信号OUTを積分して形成された直流電圧は上記中点電圧よりも低くなり、それに対応して上記デューティ補正回路に供給される制御電圧は低くなる。この結果、Pチャンネル型MOSFETQ14に流れる電流が増大し、Nチャンネル型MOSFETQ15に流れる電流が減少する。つまり、デューティ補正回路に対して同図のように出力信号の立ち上がりを遅く、立ち下がりを早くするように制御するので、図示のように出力信号OUTは、ほぼ50%のパルス幅デューティを持つように補正される。

【0021】図5には、この発明に係るデューティ補正回路の他の一実施例を説明するための波形図が示されている。この実施例では、前記図3の波形整形バッファにデューティ補正機能を付加するようにするものである。つまり、その前段に前記のように定電流により発振信号OSCの立ち上がりと立ち下がりにランプ特性を持たせるようにし、前記デューティ検出回路の出力電圧により、波形整形バッファのしきい(閾)値を制御するものである。

【0022】図5(A)に示すように、発振信号OSCのデューティが50%よりも大きいとき、それに対応した図示しない出力信号OUTを積分して形成された直流電圧は上記中点電圧よりも高くなり、それに対応して上記デューティ補正動作を行う波形整形バッファに供給される制御電圧は高くなる。この結果、波形整形バッファのしきい値電圧が高くなつて、図示のように出力信号OUTは、ほぼ50%のパルス幅デューティを持つように補正される。

【0023】図5(B)に示すように、発振信号OSCのデューティが50%よりも小さいとき、それに対応した図示しない出力信号OUTを積分して形成された直流電圧は上記中点電圧よりも低くなり、それに対応して上記デューティ補正動作を行う波形整形バッファに供給される制御電圧は低くなる。この結果、波形整形バッファのしきい値電圧が低くなつて、図示のように出力信号OUTは、ほぼ50%のパルス幅デューティを持つように

補正される。

【0024】図6には、デューティ検出回路の他の一実施例のブロック図が示されている。この実施例では、デジタル的に発振パルスOSCのデューティが検出される。この実施例では、ラッチ回路により発振パルスOSCをクロック信号CLKでラッチしてパルスデューティの統計的なサンプリングを行う。上記発振パルスOSCに対して、同期していないフリーランの発振回路等で形成されたクロック信号CLKを用いて統計的なサンプリングを行う、そのサンプリング出力を加算平均処理するものである。

【0025】図7には、上記図6のデューティ検出回路の動作を説明するための波形図が示されている。上記ラッチ回路によりサンプリングされたサンプリング出力であるH, Lの出現する確率は、発振パルスOSCのHとLの時間比、すなわちデューティ比を反映する。このHとL出力を加算して平均化することにより、上記発振パルスOSCの出力デューティが検出される。この加算平均出力が0になるように、言い換えるならば、サンプリング出力のHとLの出現確率が同じになるようにデューティ補正を行うようにする。具体的な例としては、上記加算平均を上記ラッチ回路のサンプリング出力のH, Lに従ってチャージポンプ等で行い、その積分電圧を前記補正回路に供給される。

【0026】例えば、上記加算がプラス（発振パルスOSCのLよりHが長いとき）ならば、Pチャンネル型MOSFETの電流が小さく、Nチャンネル型MOSFETの電流が大きくなる方向に制御されて、発振パルスOSCのLを長く、Hを短くするように補正される。加算がマイナス（発振パルスOSCのHよりLが長いとき）ならば、上記とは逆にPチャンネル型MOSFETの電流が大きく、Nチャンネル型MOSFETの電流が小さくなる方向に制御されて、発振パルスOSCのHを長く、Lを短くするように補正される。

【0027】上記のようなデジタル回路は、アナログ回路に置き換えることができる。つまり、同じ電流値にされたチャージアップ電流とディスチャージ電流とを形成しておいて、発振信号OSCがハイレベルの期間にはチャージアップ電流をキャパシタに供給して充電させ、発振信号OSCがロウレベルの期間にはディスチャージ電流を供給して放電させる。もしも、発振信号OSCのデューティが50%よりも大きいときには、チャージアップ時間が長くなって差分だけ中点電圧に対して高い電圧が得られ、上記のようなデューティ補正回路に供給することによりデューティ補正を行わせることができる。逆に、発振信号OSCのデューティが50%よりも小さいときには、ディスチャージ時間が長くなって差分だけ中点電圧に対して低い電圧が得られ、上記のようなデューティ補正回路に供給することによりデューティ補正を行わせることができる。

【0028】この実施例のPLI回路は、例えばCRT等のディスプレイ制御回路に用いられる。CRT等の表示装置では、高精細から標準的な表示モードの切り換えが可能にされるものであり、例えば高精細の表示モードでのドッククロック周波数は約200MHzのような高い周波数にされる。それ故、VCOにおいて前記のように分周回路を用いたものでは、400MHzもの高い周波数を形成する必要があるが、この発明の適用によって200MHzのような発振信号を形成すればよいかMOS回路により十分に実現できるもとなる。

【0029】上記の実施例から得られる作用効果は、下記の通りである。

(1) パルス信号を受けるインバータ回路の出力信号の立ち上がり時間と立ち下がり時間を制御するための電流制御回路又は上記インバータ回路の出力信号を波形整形する波形整形バッファのロジックスレッショルド電圧を波形整形された出力信号のパルスデューティを検出するパルスデューティ検出回路で制御することにより、その出力信号を所望のパルスデューティとなるように調整することができるという効果が得られる。

【0030】(2) 上記波形整形された出力信号を平滑回路で平滑し、その平滑信号と設定すべきパルスデューティに対応した基準電圧との差電圧に対応した制御信号を電圧比較回路で形成することにより、上記パルスデューティの補正に用いられる制御信号を形成することができるという効果が得られる。

【0031】(3) 上記デューティ補正を行う電流制御回路として、インバータ回路と電源電圧との間にPチャンネル型MOSFETを設け、上記インバータ回路と回路の接地電位との間にNチャンネル型MOSFETを設け、これら2つのMOSFETのゲートに上記制御信号を供給することにより、出力信号の立ち上がりと立ち下がり時間を調整することができ、その結果として波形整形バッファを通した出力信号のパルスデューティの補正を行うことができるという効果が得られる。

【0032】(4) PLI回路に設けられる電圧制御型発振回路により形成された発振パルスのパルスデューティを補正することにより、MOS回路の上限周波数に対応した高周波数のパルス信号を得ることができるという効果が得られる。

【0033】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図3の実施例において、MOSFET Q12とQ13を省略して、インバータ回路を構成するMOSFET Q10とQ11に、デューティ検出回路で形成された制御信号に従った電流を流すようなMOSFET Q14とQ15から構成してもよい。電圧制御発振回路は、前記のようなCMOSインバータ回路を用いたリングオシレータの他

何であってもよい。この発明に係るデューティ補正回路は、出力パルスのデューティを50%にするものの他、必要に応じて任意のパルスデューティに調整するものであってもよい。この発明は、パルスデューティ補正回路として広く利用できる。

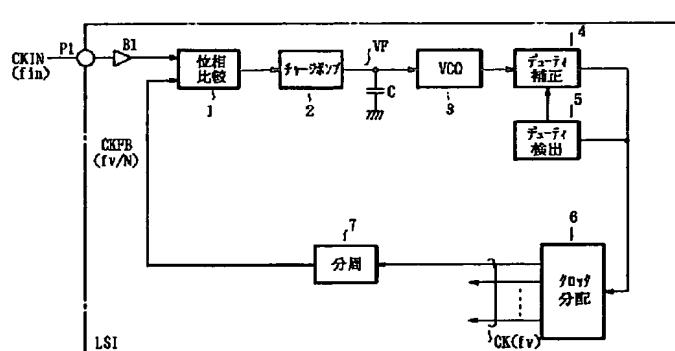
## 【0034】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、パルス信号を受けるインバータ回路の出力信号の立ち上がり時間と立ち下がり時間を制御するための電流制御回路又は上記インバータ回路の出力信号を波形整形する波形整形バッファのロジックスレッショルド電圧を波形整形された出力信号のパルスデューティを検出するパルスデューティ検出回路で制御することにより、その出力信号を所望のパルスデューティとなるように調整することができる。

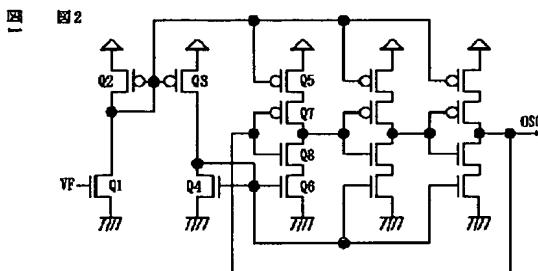
## 【図面の簡単な説明】

【図1】この発明が適用されたクロック発生回路の一実施例を示すブロック図である。

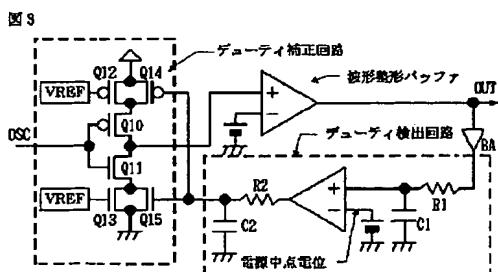
【図1】



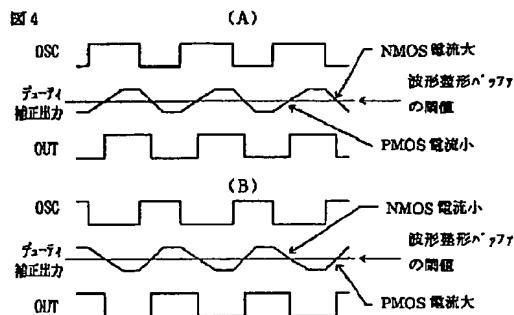
【図2】



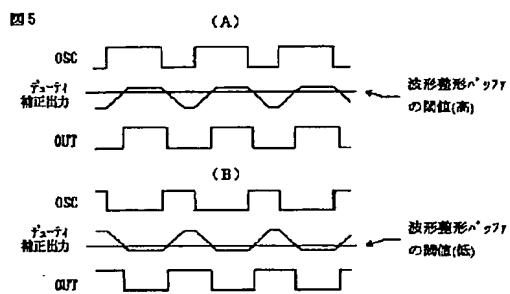
【図3】



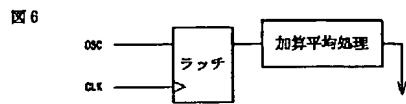
【図4】



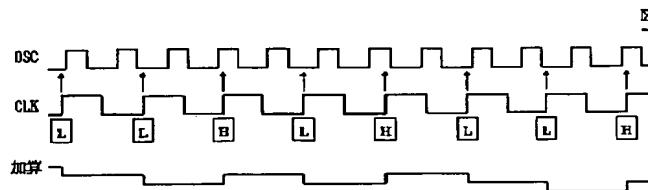
【図5】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**